

**Translation**

**Rec'd PCT/PTO 24 JAN 2005**  
PCT/JP2003/009412

**PATENT COOPERATION TREATY**



# PCT

## INTERNATIONAL PRELIMINARY REPORT ON PATENTABILITY (Chapter II of the Patent Cooperation Treaty)

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference FP03-0200-00	FOR FURTHER ACTION See Form PCT/IPEA/416	
International application No. PCT/JP2003/009412	International filing date (day/month/year) 24 July 2003 (24.07.2003)	Priority date (day/month/year) 24 July 2002 (24.07.2002)
International Patent Classification (IPC) or national classification and IPC H01L 21/337, 29/80, 29/808		
Applicant SUMITOMO ELECTRIC INDUSTRIES, LTD.		

<p>1. This report is the international preliminary examination report, established by this International Preliminary Examining Authority under Article 35 and transmitted to the applicant according to Article 36.</p> <p>2. This REPORT consists of a total of <u>5</u> sheets, including this cover sheet.</p> <p>3. This report is also accompanied by ANNEXES, comprising:</p> <p>a. <input type="checkbox"/> (sent to the applicant and to the International Bureau) a total of _____ sheets, as follows:</p> <p><input type="checkbox"/> sheets of the description, claims and/or drawings which have been amended and are the basis of this report and/or sheets containing rectifications authorized by this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions).</p> <p><input type="checkbox"/> sheets which supersede earlier sheets, but which this Authority considers contain an amendment that goes beyond the disclosure in the international application as filed, as indicated in item 4 of Box No. I and the Supplemental Box.</p> <p>b. <input type="checkbox"/> (sent to the International Bureau only) a total of (indicate type and number of electronic carrier(s)) _____, containing a sequence listing and/or tables related thereto, in computer readable form only, as indicated in the Supplemental Box Relating to Sequence Listing (see Section 802 of the Administrative Instructions).</p>	
<p>4. This report contains indications relating to the following items:</p> <p><input checked="" type="checkbox"/> Box No. I Basis of the report</p> <p><input type="checkbox"/> Box No. II Priority</p> <p><input type="checkbox"/> Box No. III Non-establishment of opinion with regard to novelty, inventive step and industrial applicability</p> <p><input type="checkbox"/> Box No. IV Lack of unity of invention</p> <p><input checked="" type="checkbox"/> Box No. V Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement</p> <p><input type="checkbox"/> Box No. VI Certain documents cited</p> <p><input type="checkbox"/> Box No. VII Certain defects in the international application</p> <p><input checked="" type="checkbox"/> Box No. VIII Certain observations on the international application</p>	

Date of submission of the demand 13 February 2004 (13.02.2004)	Date of completion of this report 08 July 2004 (08.07.2004)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

# INTERNATIONAL PRELIMINARY REPORT ON PATENTABILITY

International application No.

PCT/JP2003/009412

## Box No. I Basis of the report

1. With regard to the language, this report is based on the international application in the language in which it was filed, unless otherwise indicated under this item.

- ☐ This report is based on translations from the original language into the following language \_\_\_\_\_, which is language of a translation furnished for the purpose of:
- ☐ international search (under Rules 12.3 and 23.1(b))
  - ☐ publication of the international application (under Rule 12.4)
  - ☐ international preliminary examination (under Rules 55.2 and/or 55.3)

2. With regard to the elements of the international application, this report is based on *(replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report)*:

- ☒ The international application as originally filed/furnished
- ☐ the description:
- pages \_\_\_\_\_, as originally filed/furnished
- pages\* \_\_\_\_\_ received by this Authority on \_\_\_\_\_
- pages\* \_\_\_\_\_ received by this Authority on \_\_\_\_\_
- ☐ the claims:
- pages \_\_\_\_\_, as originally filed/furnished
- pages\* \_\_\_\_\_, as amended (together with any statement) under Article 19
- pages\* \_\_\_\_\_ received by this Authority on \_\_\_\_\_
- pages\* \_\_\_\_\_ received by this Authority on \_\_\_\_\_
- ☐ the drawings:
- pages \_\_\_\_\_, as originally filed/furnished
- pages\* \_\_\_\_\_ received by this Authority on \_\_\_\_\_
- pages\* \_\_\_\_\_ received by this Authority on \_\_\_\_\_
- ☐ a sequence listing and/or any related table(s) – see Supplemental Box Relating to Sequence Listing.

3. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages \_\_\_\_\_
- ☐ the claims, Nos. \_\_\_\_\_
- ☐ the drawings, sheets/figs \_\_\_\_\_
- ☐ the sequence listing (*specify*): \_\_\_\_\_
- ☐ any table(s) related to sequence listing (*specify*): \_\_\_\_\_

4. ☐ This report has been established as if (some of) the amendments annexed to this report and listed below had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).

- ☐ the description, pages \_\_\_\_\_
- ☐ the claims, Nos. \_\_\_\_\_
- ☐ the drawings, sheets/figs \_\_\_\_\_
- ☐ the sequence listing (*specify*): \_\_\_\_\_
- ☐ any table(s) related to sequence listing (*specify*): \_\_\_\_\_

\* If item 4 applies, some or all of those sheets may be marked "superseded."

# INTERNATIONAL PRELIMINARY REPORT ON PATENTABILITY

International application No.

PCT/JP03/09412

**Box No. V** Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

## 1. Statement

Novelty (N)	Claims	1-26, 28-39, 42-47	YES
	Claims	27, 40, 41	NO
Inventive step (IS)	Claims	1-26, 30, 31, 33, 37, 44, 45	YES
	Claims	27-29, 32, 34-36, 38-43, 46, 47	NO
Industrial applicability (IA)	Claims	1-47	YES
	Claims		NO

## 2. Citations and explanations (Rule 70.7)

Document 1: US, 2001/0024138, A1 (KARL-OTTO DOHNKE), 27 September 2001

Document 2: JP, 2000-252475, A (THE KANSAI ELECTRIC POWER CO., INC.), 14 September 2000

Document 3: EP, 1119054, A1 (HITACHI, LTD.), 25 July 2001

Document 4: JP, 51-135381, A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.), 24 November 1976

Document 5: JP, 2001-196602, A (HITACHI, LTD.), 19 July 2001

Document 6: JP, 2001-144292, A (DENSO CORPORATION), 25 May 2001

Document 7: JP, 2000-269518, A (TOSHIBA CORPORATION), 29 September 2000

### Claims 1-26, 30, 31, 33, 37, 44, 45

The subject matter of claims 1-26, 30, 31, 33, 37, 44, and 45 is not disclosed in any of the documents cited in the ISR and is novel.

Also, it involves an inventive step with respect to the documents cited in the ISR.

### Claims 27, 35, 36, 40, 41

The subject matter of claims 27, 40, and 41 is not novel because of document 1 cited in the ISR. Also, the subject matter of claims 35 and 36 does not involve an inventive step on account of document 1 cited in the ISR.

In the SiC vertical JFET described in document 1's Fig. 5 and the explanatory portions therefor, the portion where a source is formed on buried P-type island-shaped region 3 is equivalent to the first region, the part to its right is equivalent to the second region, the portion where a gate is formed on the P-type island-shaped region 3 to its right is equivalent to the fourth region, the portion where there is no P-type island-shaped region 3 to its right is equivalent to the third region, the part above the P-type island region 3 is equivalent to the channel semiconductor part, and the part below the P-type island-shaped region 3 is equivalent to the drift semiconductor part.

Thus how to specifically set the channel thickness is a mere matter of design variation that can be appropriately set by a person skilled in the art in order to obtain the desired characteristics. Also, the question of using transistors with certain specific characteristics is a mere matter of design variation that can be appropriately set by a person skilled in the art.

Furthermore, the invention described in document 1 appears to be one manufactured through the process of forming each physical structure naturally.

**Box No. VIII Certain observations on the international application**

The following observations on the clarity of the claims, description, and drawings or on the question whether the claims are fully supported by the description, are made:

**Claims 1-3, 5, 6, 27, 41**

It is unclear if the first, second, third, and fourth regions described in claims 1-3, 27, and 41 need to be disposed in sequence in a specific direction intersecting the main surface or if they do not need to be disposed in sequence. Also, with regard to claims 5 and 6, the same is true of the first through fifth regions.

**Claims 16 and 17**

Regarding "a process wherein said source semiconductor layer is etched so that it reaches said first semiconductor layer, and a specified region of said second semiconductor layer is exposed," in the preferred embodiment for practicing the invention (in particular, Fig. 4A, Fig. 7A, Fig. 32C, Fig. 37C) it says that the source semiconductor layer is etched part-way to the first semiconductor layer, and does not say that the source semiconductor layer formed on the second semiconductor layer is etched so that it reaches the first semiconductor provided beneath the second semiconductor layer.

**Claim 24**

Regarding the process of forming the first semiconductor layer, i.e. "forming a non-conductive semiconductor layer of the opposite conductive type of said first conductive-type substrate, and forming said non-conductive semiconductor layer and the opposite conductive type of conductive semiconductor layer on the non-conductive semiconductor layer," in the preferred embodiment for practicing the invention (in particular, Fig. 25 through Fig. 29C, Fig. 44 through Fig. 48C) it says a semiconductor layer of the same conductive type as the substrate is formed and then a semiconductor layer of the opposite conductive type is formed, and does not say that a semiconductor layer of the opposite conductive type as the substrate is formed and then a semiconductor layer of the same conductive type as the substrate is formed.

**Claim 28, 29, 30, 32**

Regarding "a second gate electrode electrically connected to a second gate semiconductor part provided above said drift semiconductor part's second region or second and third regions and electrically insulated beneath the source electrode," in the preferred embodiment for practicing the invention (in particular, Fig. 39) it describes a p<sup>+</sup> gate semiconductor part ("second gate semiconductor part") but does not describe a specific function, etc. for 11a connected to the p<sup>+</sup> gate semiconductor part, so ultimately a constitution corresponding to the second gate electrode is not described.

**Claims 42-44**

"Before the process of forming said first gate semiconductor part, an impurity that is the same conductive type as said first gate semiconductor part is introduced at said drift semiconductor layer's second region or [illegible] and third region and a second gate semiconductor part is formed" and "the second gate electrode is formed in the process of forming said first gate electrode" are neither described nor suggested in the preferred embodiment for practicing the invention. Furthermore, the same is true for claims 43 and 44.

**[0094]**

The description given for Fig. 7A is "etching depth D5 is about what it takes to reach p<sup>+</sup> buried semiconductor layer 4," but in Fig. 7A, D5 is a depth that does not reach p<sup>+</sup> buried semiconductor layer 4, so the corresponding relationship is unclear.

**[0200]-[0202]**

Fig. 39 is described, but there is no description of 11a in Fig. 39, so exactly what sort of function Fig. 39's 11a has is unclear.

## Supplemental Box

In case the space in any of the preceding boxes is not sufficient.

Continuation of Box V. 2:

## Claims 28, 29, 42, 43

The subject matter of claims 28, 29, 42, and 43 does not involve an inventive step on account of documents 1 and 2 cited in the ISR.

Referring to the left half of the structure of the invention described in Fig. 3 of document 2, the portion where a source is formed on buried p1 layer 5 is equivalent to the first region, the part to its left is equivalent to the fourth region, the portion where a gate is formed on the p1 layer 5 to the right of the first region is equivalent to the second region, the portion to its right with no p1 layer 5 is equivalent to the third region, the n2 layer 3 is equivalent to the channel semiconductor part, and the n1 layer 2 is equivalent to the drift semiconductor part.

Thus in the invention described in document 2, the question of whether or not to insulate and form a source electrode above a gate electrode as described in document 1 is a mere matter of design variation that can be appropriately set by a person skilled in the art as required.

Furthermore, the physical structure appears to be one manufactured through the process of forming each physical structure naturally. Also, the question of which to form first—the gate region p3 formed on p2 or the gate region p3 formed on n2—is a mere matter of design variation that can be appropriately set by a person skilled in the art.

## Claim 32

The subject matter of claim 32 does not involve an inventive step on account of documents 1-4 cited in the ISR.

Document 3 and document 4 describe a structure in which the gate electrode is at the periphery, so employing the structures described in documents 3 or 4 as the shape of a specific element in the structure described in document 1 does not appear to be particularly difficult.

## Claim 34

The subject matter of claim 34 does not involve an inventive step on account of documents 1-4 cited in the ISR.

Paragraph [0038] in document 2 describes the possibility of using materials other than SiC, so appropriately combining SiC and materials other than SiC in order to achieve the desired characteristics could easily be conceived by a person skilled in the art.

## Claims 38, 39, 46, 47

The subject matter of claims 38, 39, 46, and 47 does not involve an inventive step on account of documents 1-7 cited in the ISR.

As described in documents 5-7, a structure that provides a layer that repeatedly alternates p-type and n-type in order to form a voltage resistance structure in a drift layer in a vertical-type transistor is well known, so employing the aforesaid known structure in the structure described in document 1 in order to obtain the desired characteristics is a mere matter of design variation that can be appropriately set by a person skilled in the art.

Furthermore, the physical structure appears to be one manufactured through the process of forming each physical structure naturally.

PCT

REC'D 29 JUL 2004

WIPO

PCT

特許性に関する国際予備報告（特許協力条約第二章）

（法第12条、法施行規則第56条）  
 [PCT36条及びPCT規則70]

出願人又は代理人 の書類記号 FP03-0200-00	今後の手続きについては、様式PCT/IPEA/416を参照すること。	
国際出願番号 PCT/JP03/09412	国際出願日 (日.月.年) 24.07.2003	優先日 (日.月.年) 24.07.2002
国際特許分類 (IPC) Int. Cl <sup>7</sup> H01L21/337, H01L29/80, H01L29/808		
出願人 (氏名又は名称) 住友電気工業株式会社		

1. この報告書は、PCT35条に基づきこの国際予備審査機関で作成された国際予備審査報告である。 法施行規則第57条（PCT36条）の規定に従い送付する。																									
2. この国際予備審査報告は、この表紙を含めて全部で <u>5</u> ページからなる。																									
3. この報告には次の附属物件も添付されている。 a <input type="checkbox"/> 附属書類は全部で _____ ページである。 <input type="checkbox"/> 補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関が認めた訂正を含む明細書、請求の範囲及び/又は図面の用紙（PCT規則70.16及び実施細則第607号参照） <input type="checkbox"/> 第I欄4.及び補充欄に示したように、出願時における国際出願の開示の範囲を超えた補正を含むものとこの国際予備審査機関が認定した差替え用紙 b <input type="checkbox"/> 電子媒体は全部で _____ （電子媒体の種類、数を示す）。 配列表に関する補充欄に示すように、コンピュータ読み取り可能な形式による配列表又は配列表に関連するテーブルを含む。（実施細則第802号参照）																									
4. この国際予備審査報告は、次の内容を含む。 <table border="0"> <tr> <td><input checked="" type="checkbox"/></td> <td>第I欄</td> <td>国際予備審査報告の基礎</td> </tr> <tr> <td><input type="checkbox"/></td> <td>第II欄</td> <td>優先権</td> </tr> <tr> <td><input type="checkbox"/></td> <td>第III欄</td> <td>新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成</td> </tr> <tr> <td><input type="checkbox"/></td> <td>第IV欄</td> <td>発明の単一性の欠如</td> </tr> <tr> <td><input checked="" type="checkbox"/></td> <td>第V欄</td> <td>PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明</td> </tr> <tr> <td><input type="checkbox"/></td> <td>第VI欄</td> <td>ある種の引用文献</td> </tr> <tr> <td><input type="checkbox"/></td> <td>第VII欄</td> <td>国際出願の不備</td> </tr> <tr> <td><input checked="" type="checkbox"/></td> <td>第VIII欄</td> <td>国際出願に対する意見</td> </tr> </table>		<input checked="" type="checkbox"/>	第I欄	国際予備審査報告の基礎	<input type="checkbox"/>	第II欄	優先権	<input type="checkbox"/>	第III欄	新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成	<input type="checkbox"/>	第IV欄	発明の単一性の欠如	<input checked="" type="checkbox"/>	第V欄	PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明	<input type="checkbox"/>	第VI欄	ある種の引用文献	<input type="checkbox"/>	第VII欄	国際出願の不備	<input checked="" type="checkbox"/>	第VIII欄	国際出願に対する意見
<input checked="" type="checkbox"/>	第I欄	国際予備審査報告の基礎																							
<input type="checkbox"/>	第II欄	優先権																							
<input type="checkbox"/>	第III欄	新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成																							
<input type="checkbox"/>	第IV欄	発明の単一性の欠如																							
<input checked="" type="checkbox"/>	第V欄	PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明																							
<input type="checkbox"/>	第VI欄	ある種の引用文献																							
<input type="checkbox"/>	第VII欄	国際出願の不備																							
<input checked="" type="checkbox"/>	第VIII欄	国際出願に対する意見																							

国際予備審査の請求書を受理した日 13.02.2004	国際予備審査報告を作成した日 08.07.2004	
名称及びあて先 日本国特許庁 (IPEA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 刈 真悟	4 L 2933
電話番号 03-3581-1101 内線 3496		

様式PCT/IPEA/409 (表紙) (2004年1月)

第I欄 報告の基礎

1. この国際予備審査報告は、下記に示す場合を除くほか、国際出願の言語を基礎とした。

- ☐ この報告は、\_\_\_\_\_ 語による翻訳文を基礎とした。  
それは、次の目的で提出された翻訳文の言語である。
- ☐ PCT規則12.3及び23.1(b)にいう国際調査
- ☐ PCT規則12.4にいう国際公開
- ☐ PCT規則55.2又は55.3にいう国際予備審査

2. この報告は下記の出願書類を基礎とした。(法第6条(PCT14条)の規定に基づく命令に応答するために提出された差替え用紙は、この報告において「出願時」とし、この報告に添付していない。)

- ☒ 出願時の国際出願書類
- ☐ 明細書  
第 \_\_\_\_\_ ページ、 出願時に提出されたもの  
第 \_\_\_\_\_ ページ\*、 \_\_\_\_\_ 付けて国際予備審査機関が受理したもの  
第 \_\_\_\_\_ ページ\*、 \_\_\_\_\_ 付けて国際予備審査機関が受理したもの
- ☐ 請求の範囲  
第 \_\_\_\_\_ 項、 出願時に提出されたもの  
第 \_\_\_\_\_ 項\*、 PCT19条の規定に基づき補正されたもの  
第 \_\_\_\_\_ 項\*、 \_\_\_\_\_ 付けて国際予備審査機関が受理したもの  
第 \_\_\_\_\_ 項\*、 \_\_\_\_\_ 付けて国際予備審査機関が受理したもの
- ☐ 図面  
第 \_\_\_\_\_ ページ/図、 出願時に提出されたもの  
第 \_\_\_\_\_ ページ/図\*、 \_\_\_\_\_ 付けて国際予備審査機関が受理したもの  
第 \_\_\_\_\_ ページ/図\*、 \_\_\_\_\_ 付けて国際予備審査機関が受理したもの
- ☐ 配列表又は関連するテーブル  
配列表に関する補充欄を参照すること。

3. ☐ 補正により、下記の書類が削除された。

- ☐ 明細書 第 \_\_\_\_\_ ページ
- ☐ 請求の範囲 第 \_\_\_\_\_ 項
- ☐ 図面 第 \_\_\_\_\_ ページ/図
- ☐ 配列表(具体的に記載すること) \_\_\_\_\_
- ☐ 配列表に関連するテーブル(具体的に記載すること) \_\_\_\_\_

4. ☐ この報告は、補充欄に示したように、この報告に添付されかつ以下に示した補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c))

- ☐ 明細書 第 \_\_\_\_\_ ページ
- ☐ 請求の範囲 第 \_\_\_\_\_ 項
- ☐ 図面 第 \_\_\_\_\_ ページ/図
- ☐ 配列表(具体的に記載すること) \_\_\_\_\_
- ☐ 配列表に関連するテーブル(具体的に記載すること) \_\_\_\_\_

\* 4. に該当する場合、その用紙に“superseded”と記入されることがある。

第V欄 新規性、進歩性又は産業上の利用可能性についての法第12条（PCT35条(2)）に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求の範囲 1-26, 28-39, 42-47	有 無
	請求の範囲 27, 40, 41	
進歩性 (IS)	請求の範囲 1-26, 30, 31, 33, 37, 44, 45	有 無
	請求の範囲 27-29, 32, 34-36, 38-43, 46, 47	
産業上の利用可能性 (IA)	請求の範囲 1-47	有 無
	請求の範囲	

2. 文献及び説明 (PCT規則70.7)

文献1: US 2001/0024138 A1 (Karl-Otto Dohnke), 2001.09.27  
 文献2: JP 2000-252475 A (関西電力株式会社), 2000.09.14  
 文献3: EP 1119054 A1 (HITACHI LTD.), 2001.07.25  
 文献4: JP 51-135381 A (松下電子工業株式会社), 1976.11.24  
 文献5: JP 2001-196602 A (株式会社日立製作所), 2001.07.19  
 文献6: JP 2001-144292 A (株式会社デンソー), 2001.05.25  
 文献7: JP 2000-269518 A (株式会社東芝), 2000.09.29

請求の範囲 1-26, 30, 31, 33, 37, 44, 45  
 請求の範囲 1-26, 30, 31, 33, 37, 44, 45に係る発明は、国際調査報告で引用されたいずれの文献にも開示されておらず、新規性を有する。  
 また、国際調査報告で引用されたいずれの文献に対しても進歩性を有する。

請求の範囲 27, 35, 36, 40, 41  
 請求の範囲 27, 40, 41に記載された発明は、国際調査報告で引用された文献1から新規性を有さない。また、請求の範囲 35, 36に記載された発明は、国際調査報告で引用された文献1より進歩性を有しない。

文献1の第5図及びその説明箇所に記載されたSiCの縦型JFETにおいて、埋め込まれたP型の島状領域3上のソースが形成された部分が第1の領域、その右隣が第2の領域、その右隣でP型の島状領域3上にゲートが形成された部分が第4の領域、その右隣のP型の島状領域3が無い部分が第3の領域に相当し、P型の島状領域3より上がチャネル半導体部、P型の島状領域3より下がドリフト半導体部に相当するものと認められる。

そして、チャネルの厚さを具体的にどのように設定するかは、所望の特性を得るために、当業者が適宜設定し得る設計的事項に過ぎない。また、具体的にどのような特性のトランジスタとするかも、当業者が適宜設定し得る設計的事項に過ぎない。

なお、文献1に記載された発明は、当然、物の各構成を形成する工程を経て製造されるものと認められる。



## 第Ⅶ欄 国際出願に対する意見

請求の範囲、明細書及び図面の明瞭性又は請求の範囲の明細書による十分な裏付についての意見を次に示す。

請求の範囲 1-3, 5, 6, 27, 41

請求の範囲1-3, 27, 41に記載された、第1, 第2, 第3, 第4領域が、主面と交差する所定の方向に、順に配置されているのか、順に配置される必要はないのか不明瞭である。また、請求の範囲5, 6に関しては、第1-5領域について同趣旨である。

請求の範囲 16, 17

「前記ソース半導体層を、前記第1半導体層に到達するようにエッチングして前記第2半導体層の所定領域を露出する工程」について、発明を実施するための最良の形態（特に、第4A図、第7A図、第32C図、第37C図）には、ソース半導体層を第1半導体層の途中までエッチングすることは記載されているものの、第2半導体層の上に形成されたソース半導体層を、第2の半導体層の下に設けられている第1半導体層に到達するようにエッチングすることは記載されていない。

請求の範囲 24

「前記第1導電型の基板の逆導電型の非導電半導体層を形成し、前記非導電半導体層と逆導電型の導電半導体層を非導電半導体層上に形成」するという第1半導体層を形成する工程について、発明を実施するための最良の形態（特に、第25～29C図、第44～48C図）には、基板と同じ導電型の半導体層を形成後、逆導電型の半導体層を形成することは記載されているもの、基板と逆導電型の半導体層を形成後、基板と同じ導電型の半導体層を形成することは記載されていない。

請求の範囲 28, 29, 30, 32

「前記ドリフト半導体部の第2の領域あるいは第2及び第3の領域上に設けられた第2のゲート半導体部と電氣的に接続され、ソース電極の下に電氣的に絶縁された第2のゲート電極」について、発明を実施するための最良の形態（特に第39図）には、 $p^+$ ゲート半導体部（「第2のゲート半導体部」）は記載されているものの、 $p^+$ ゲート半導体部に接続された11aについては、具体的な機能等が記載されていないから、結局、第2のゲート電極に対応する構成は記載されていない。

請求の範囲 42-44

「前記第1のゲート半導体部を形成する工程に先立って、前記ドリフト半導体層の第2の領域あるいは第2及び第3の領域に、前記第1のゲート半導体部の導電型と同一導電型とある不純物を導入して、第2のゲート半導体部を形成する」こと、「第2のゲート電極を、前記第1のゲート電極を形成する工程にて形成する」ことは、発明を実施するための最良の形態に記載も示唆もされていない。なお、請求項43, 44についても同趣旨である。

【0094】

第7A図の説明として、「エッチングの深さD5は、 $p^+$ 型埋込半導体部4に達する程度である」と記載されているが、第7A図では、D5は $p^+$ 埋込半導体部4には達しない深さとなっているから、対応関係が不明瞭である。

【0200】-【0202】

第39図の説明がなされているものの、第39図の11aについては何ら記載されていないから、第39図の11aが、具体的にどのような機能を有するものか不明瞭である。

## 補充欄

いずれかの欄の大きさが足りない場合

## 第 V.2 欄の続き

請求の範囲 28, 29, 42, 43

請求の範囲28, 29, 42, 43に記載された発明は、国際調査報告で引用された文献1, 2より進歩性を有しない。

文献2の第3図に記載された発明の左半分の構造について、埋め込まれたp1層5上のソースが形成された部分が第1の領域、その左隣が第4の領域、第1の領域の右隣でp1層5上にゲートが形成された部分が第2の領域、その右隣のp1層5が無い部分が第3の領域に相当し、n2層3がチャネル半導体部、n1層2がドリフト半導体部に相当するものと認められる。

そして、文献2に記載された発明において、文献1に記載されているように、ソース電極をゲート電極の上方に絶縁して形成するか否かは、必要に応じて当業者が適宜設定しうる設計的事項に過ぎない。

なお、物の構造は、当然、物の各構成を形成する工程を経て製造されるものと認められる。また、p2上に形成されたゲート領域p3と、n2上に形成されたゲート領域p3とを、どちらを先に形成するのかは、当業者が適宜設定しうる設計的事項に過ぎない。

請求の範囲 32

請求の範囲32に記載された発明は、国際調査報告で引用された文献1-4より進歩性を有しない。

文献3や文献4には、ゲート電極を外周にした構造が記載されているから、文献1に記載された構造において、具体的な素子の形状として、文献3や4に記載された構造を採用することに格別な困難性は認められない。

請求の範囲 34

請求の範囲34に記載された発明は、国際調査報告で引用された文献1-4より進歩性を有しない。

文献2の【0038】には、SiC以外の材料を用いることが可能な旨記載されているから、SiCやSiC以外の材料から所望の特性を実現できるように、適宜材料を組み合わせることは、当業者が容易に想到し得るものと認められる。

請求の範囲 38, 39, 46, 47

請求の範囲38, 39, 46, 47に記載された発明は、国際調査報告で引用された文献1-7より進歩性を有しない。

文献5-7に記載されているように、縦型のトランジスタにおいて、ドリフト層において耐圧構造を形成するために、p型とn型を交互に繰り返した層を設けた構造は周知であるから、文献1に記載された構造において、上記周知の構造を採用することは、所望の特性を得るために、当業者が適宜選択し得る設計的事項に過ぎない。

なお、物の構造は、当然、物の各構成を形成する工程を経て製造されるものと認められる。